

日本国特許庁
JAPAN PATENT OFFICE

H. Ishikawa

12/24/03

Q 79066

10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月27日

出願番号
Application Number: 特願2002-382326
[ST. 10/C]: [JP2002-382326]

出願人
Applicant(s): エヌイーシーコンピュータテクノ株式会社

2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 03905433

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G11C 29/00

【発明の名称】 半導体記憶装置及び実装型半導体装置

【請求項の数】 14

【発明者】

【住所又は居所】 山梨県甲府市大津町 1 0 8 8 - 3 エヌイーシーコンピ
ュータテクノ株式会社内

【氏名】 石川 久

【特許出願人】

【識別番号】 000168285

【氏名又は名称】 エヌイーシーコンピュータテクノ株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910764

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及び実装型半導体装置

【特許請求の範囲】

【請求項1】 メモリと、このメモリを制御するメモリ制御回路とを有し、前記メモリ制御回路は、異なるバンクサイクルタイムを制御するバンクビジー時間を可変設定するバンクビジー回路と、メモリから出力されるリードデータを可変の取り込みタイミングで入力するリードデータ入力回路と、前記メモリにライトデータを可変の出力タイミングで出力するライトデータ出力回路と、前記バンクビジー回路から出力されるメモリコマンドにより前記メモリに対してコマンドを発行し、異なるコマンドインターフェースを制御するコマンド制御回路と、異なるライトマスクを制御するライトマスク回路と、異なる初期シーケンスのメモリを制御する初期シーケンス制御回路と、異なるアドレスインターフェースを制御するアドレス生成回路とを有し、異なるメモリを同一ハードウェアで制御することを特徴とする半導体記憶装置。

【請求項2】 前記バンクビジー回路は、バンクビジー時間を可変設定するプログラムレジスタと、バンク n にアクセス起動があった場合に前記プログラムレジスタに設定されている値をセットし、クロックサイクル毎にカウントダウンするバンクビジーカウンタと、を有し、このバンクビジーカウンタの値が論理=0の場合にバンクビジーが解除されたことを示すメモリコマンドを前記コマンド制御回路に出力することにより、バンクサイクルタイムが異なるメモリを制御することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記リードデータ入力回路は、アクセスタイムが異なるメモリを制御するためにメモリから出力される読み出しデータの取り込みタイミングを可変設定する第1プログラムレジスタを有し、この第1プログラムレジスタの設定値によりメモリから出力される読み出しデータを可変の取り込みタイミングで入力し、ライトデータ出力回路は、メモリに出力するライトデータを可変の出力タイミングで出力する第2プログラムレジスタを有し、この第2プログラムレジスタの設定値からライトデータ出力タイミングを調整することを特徴とする請求項1に記載の半導体記憶装置。

【請求項 4】 前記バンクビジー回路は、バンクビジー時間をスイッチにより切り換えるものであることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 前記ライトマスク回路は、メモリに対するライトデータのマスク制御に関し、F C R A M 又は N W R A M 使用時には Variable Write 機能にてライト動作をマスクさせ、D D R - S D R A M 使用時には Data Mask 機能にてライト動作をマスクさせるように切り換えるプログラムレジスタを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記ライトマスク回路は、メモリに対するライトデータのマスク制御に関し、F C R A M 又は N W R A M 使用時には Variable Write 機能にてライト動作をマスクさせ、D D R - S D R A M 使用時には Data Mask 機能にてライト動作をマスクさせるように切り換えるスイッチを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 7】 前記アドレス生成回路は、アドレス割付けが異なるメモリのアドレス生成に関し、アドレス生成論理を切り換えるプログラムレジスタを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】 前記アドレス生成回路は、アドレス割付けが異なるメモリのアドレス生成に関し、アドレス生成論理を切り換えるスイッチを有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 9】 前記初期シーケンス制御回路は、初期シーケンスが異なるメモリの制御に関し、モードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含むコマンドの発行順を可変とし、また、モードレジスタセット及び拡張モードレジスタセットの設定値を可変とするプログラムレジスタを有し、前記初期シーケンスが異なるメモリを同一回路で制御し、前記コマンド制御回路にモードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含む初期シーケンスコマンドを発行することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 1 0】 前記初期シーケンス制御回路は、初期シーケンスが異なるメモリの制御に関し、モードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含むコマンドの発行順を可変とし

、また、モードレジスタセット及び拡張モードレジスタセットの設定値を可変とするためにスイッチを有し、前記初期シーケンスが異なるメモリを同一回路で制御し、前記コマンド制御回路にモードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含む初期シーケンスコマンドを発行することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 11】 メモリに供給する電源出力レベルを調整可能な電源を有することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 12】 前記請求項 1 乃至 11 のいずれか 1 項に記載の半導体記憶装置を基板に搭載した実装型半導体装置において、前記メモリは、パッケージサイズ又はピンアサインが異なるメモリであり、パッケージサイズ又はピンアサインが異なるメモリの実装に際し、メモリを搭載する基板のみ変更し、前記メモリを搭載した基板が接続されるマザー基板は同一種類とすることを特徴とする実装型半導体装置。

【請求項 13】 前記メモリを搭載する基板は、D I M M (Dual Inline Memory Module) であることを特徴とする請求項 12 に記載の実装型半導体装置。

【請求項 14】 前記請求項 1 乃至 11 のいずれか 1 項に記載の半導体記憶装置を基板に搭載した実装型半導体装置において、前記メモリは、終端抵抗を内蔵しているかいないかが異なるメモリであり、この終端抵抗を内蔵しているかいないかが異なるメモリの実装に際し、終端抵抗を内蔵しているメモリについては D I M M (Dual Inline Memory Module) 上に終端抵抗を実装せず、内蔵していないメモリについては D I M M に終端抵抗を付け、前記メモリを搭載した基板が接続されるマザー基板は同一種類とすることを特徴とする実装型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、種類が異なるメモリデバイスを同一ハードウェアで制御する半導体記憶装置に関し、特に F C R A M (高速サイクル R A M : Fast Cycle Random Access Memory) 又は N W R A M (NetWork: 回路網) 又は D D R (Double Data Rate: ダブルデータレート方式) - D R A M (Dynamic Random Access Memory: ダイ

ナミック RAM) 等のように、AC スペック、初期シーケンス、容量、ケースサイズ、ピンアサイン、電源又はインタフェース等の種類が異なるメモリを、同一ハードウェアで制御するメモリ制御回路を有する半導体記憶装置及び実装型半導体装置に関する。

【0002】

【従来の技術】

種類が異なるメモリを制御する半導体記憶装置として、救済効率を落とすことなく、1チップで実効的な容量を可変することができる半導体記憶装置がある（特開 2000-132994 号公報（特許文献 1））。図 9 はこの半導体記憶装置を示す図（前記公報の図 6）である。この半導体記憶装置は、4 バンク 256 M/128 M 互換の SDRAM であって、ロウアドレスバッファ 105 と救済回路 122 との間に接続されるアドレス切り替え回路 131 として、128 M 対応版用のヒューズセット回路 132 と、この出力信号 R12T とロウアドレス信号 RATT<12>とのどちらかを選択するセレクタ 133 と、これに接続されるロウアドレスラッチ回路 134 と、ラッチ回路 135 などを有する。128 M 対応版用のヒューズセット回路 132 は、ヒューズセット回路 121a、121b を有する。そして、アドレス切り替え回路 131 のロウアドレス信号 RABT<12>、RATT<12>の出力に基づいて、各メモリアレイバンク Bank 0 ~ Bank 3 のビット線方向を 1/2、1/4 などに分割して通常動作するメモリマットを任意に固定し、256 M から 128 M への変換を行うことができる。

【0003】

【特許文献 1】

特開 2000-132994 号公報

【0004】

【発明が解決しようとする課題】

しかしながら、この公報に記載の半導体記憶装置は以下に示す問題点がある。まず、同一タイプの異なるメモリ容量は切り換えることが可能であるが、FCRAM と DDR のような異なるタイプのメモリは切り換えることができない。これは、この従来の半導体記憶装置においては、メモリ容量以外は全て同一スペック

でなければ制御することができない。

【0005】

よって、メモリデバイスを有する記憶装置において、FCRAM又はNWRAMとDDR-DRAM等のようにACスペック・初期シーケンス・容量・ケースサイズ・ピンアサイン・電源・インタフェース等の種類が異なるメモリデバイス、を同一ハードウェアで制御するメモリ制御回路の開発が要望されている。

【0006】

本発明はかかる問題点に鑑みてなされたものであって、異なるタイプのメモリを置き換えるだけで、原価・性能が異なる記憶装置を同一ハードウェアで提供することができ、製品のバリエーションを増やしたり、製品性を向上させることができると共に、異なるメモリ毎に記憶装置を開発する必要が無くなるため、開発費の削減と使用部品種類を少なくすることができ、これにより部品原価を下げることのできる半導体記憶装置及び実装型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、メモリと、このメモリを制御するメモリ制御回路とを有し、前記メモリ制御回路は、異なるバンクサイクルタイムを制御するバンクビジー時間を可変設定するバンクビジー回路と、メモリから出力されるリードデータを可変の取り込みタイミングで入力するリードデータ入力回路と、前記メモリにライトデータを可変の出力タイミングで出力するライトデータ出力回路と、前記バンクビジー回路から出力されるメモリコマンドにより前記メモリに対してコマンドを発行し、異なるコマンドインターフェースを制御するコマンド制御回路と、異なるライトマスクを制御するライトマスク回路と、異なる初期シーケンスのメモリを制御する初期シーケンス制御回路と、異なるアドレスインターフェースを制御するアドレス生成回路とを有し、異なるメモリを同一ハードウェアで制御することを特徴とする。

【0008】

この半導体記憶装置において、例えば、前記バンクビジー回路は、バンクビジ

一時間を可変設定するプログラムレジスタと、バンク n にアクセス起動があった場合に前記プログラムレジスタに設定されている値をセットし、クロックサイクル毎にカウントダウンするバンクビジーカウンタと、を有し、このバンクビジーカウンタの値が論理=0 の場合にバンクビジーが解除されたことを示すメモリコマンドを前記コマンド制御回路に出力することにより、バンクサイクルタイムが異なるメモリを制御することを特徴とする。

【0009】

例えば、リードデータ入力回路は、アクセスタイムが異なるメモリを制御するためにメモリから出力される読み出しデータの取り込みタイミングを可変設定する第1プログラムレジスタを有し、この第1プログラムレジスタの設定値によりメモリから出力される読み出しデータを可変の取り込みタイミングで入力する。また、前記ライトデータ出力回路は、メモリに出力するライトデータを可変の出力タイミングで出力する第2プログラムレジスタと、を有し、この第2プログラムレジスタの設定値からライトデータ出力タイミングを調整可能とする。

【0010】

前記バンクビジー回路は、バンクビジー時間をスイッチにより切り換えるものであってもよい。

【0011】

例えば、前記ライトマスク回路は、メモリに対するライトデータのマスク制御に関し、FCRAM又はNWRAM使用時にはVariable Write機能にてライト動作をマスクさせ、DDR-SDRAM使用時にはData Mask機能にてライト動作をマスクさせるように切り換えるプログラムレジスタを有することを特徴とする。

【0012】

又は、前記ライトマスク回路は、メモリに対するライトデータのマスク制御に関し、FCRAM又はNWRAM使用時にはVariable Write機能にてライト動作をマスクさせ、DDR-SDRAM使用時にはData Mask機能にてライト動作をマスクさせるように切り換えるスイッチを有するものでもよい。

【0013】

例えば、前記アドレス生成回路は、アドレス割付けが異なるメモリのアドレス生成に関し、アドレス生成論理を切り換えるプログラムレジスタを有することを特徴とする。

【0014】

又は、前記アドレス生成回路は、アドレス割付けが異なるメモリのアドレス生成に関し、アドレス生成論理を切り換えるスイッチを有するものでもよい。

【0015】

また、前記初期シーケンス制御回路は、例えば、初期シーケンスが異なるメモリの制御に関し、モードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含むコマンドの発行順を可変とし、また、モードレジスタセット及び拡張モードレジスタセットの設定値を可変とするプログラムレジスタを有し、前記初期シーケンスが異なるメモリを同一回路で制御し、前記コマンド制御回路にモードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含む初期シーケンスコマンドを発行することを特徴とする。

【0016】

又は、前記初期シーケンス制御回路は、初期シーケンスが異なるメモリの制御に関し、モードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含むコマンドの発行順を可変とし、また、モードレジスタセット及び拡張モードレジスタセットの設定値を可変とするためにスイッチを有し、前記初期シーケンスが異なるメモリを同一回路で制御し、前記コマンド制御回路にモードレジスタセット、拡張モードレジスタセット、オートリフレッシュ及びオールバンクプリチャージを含む初期シーケンスコマンドを発行することを特徴とするものでもよい。

【0017】

例えば、前記半導体記憶装置は、メモリに供給する電源出力レベルを調整可能な電源を有することを特徴とする。これにより、電源電圧が異なるメモリの電源供給に関し、異なるメモリが搭載されたときでも電源を変更する必要がない。又は、電源部メモリ供給電源のみ変更することにより、メモリが搭載される基板の

変更無しで対応することができる。

【0018】

本発明に係る実装型半導体装置は、前記半導体記憶装置を基板に搭載した実装型半導体装置において、前記メモリは、パッケージサイズ又はピンアサインが異なるメモリであり、パッケージサイズ又はピンアサインが異なるメモリの実装に際し、メモリを搭載する基板のみ変更し、前記メモリを搭載した基板が接続されるマザー基板は同一種類とすることを特徴とする。

【0019】

前記メモリを搭載する基板は、例えば、DIMM (Dual Inline Memory Module) であることを特徴とする。

【0020】

本発明に係る他の実装型半導体装置は、前記請求項1乃至11のいずれか1項に記載の半導体記憶装置を基板に搭載した実装型半導体装置において、前記メモリは、終端抵抗を内蔵しているかいないかが異なるメモリであり、この終端抵抗を内蔵しているかいないかが異なるメモリの実装に際し、終端抵抗を内蔵しているメモリについてはDIMM (Dual Inline Memory Module) 上に終端抵抗を実装せず、内蔵していないメモリについてはDIMMに終端抵抗を付け、前記メモリを搭載した基板が接続されるマザー基板は同一種類とすることを特徴とする。

【0021】

【発明の実施の形態】

以下、本発明の実施の形態について添付の図面を参照して具体的に説明する。図1は本発明の実施形態に係る半導体記憶装置のブロック図である。メモリ制御回路1は、この半導体記憶装置のメモリ2を制御する。このメモリ制御回路1のバンクビジー回路11は、異なるバンクサイクルタイムを制御するバンクビジー時間を可変設定することができ、これにより、バンクサイクルタイムが異なるメモリを制御することができる。リードデータ入力回路14はメモリ2から出力されるリードデータの取り込みタイミングを可変とする。ライトデータ出力回路13はメモリに出力するライトデータの出力タイミングを可変とする。コマンド制御回路12は異なるコマンドインターフェースを制御可能とする。ライトマスク

回路 15 は異なるライトマスクを制御可能とする。初期シーケンス制御回路 17 は異なる初期シーケンスのメモリを制御可能とする。アドレス生成回路 16 は異なるアドレスインタフェースを制御可能とする。このメモリ制御回路 1 は、図 5 に示す信号を接続することにより異なるメモリ 2 を同一ハードウェアで制御可能とする。

【0022】

図 2 はバンクビジー回路 11 の具体的構成を示すブロック図である。バンクサイクルタイムが異なるメモリを制御するバンクビジー回路 11 は、バンクビジー時間の可変設定を可能とするプログラムレジスタ 31 と、バンク n ($n \geq 1$) にアクセス起動が合った場合、前記プログラムレジスタに設定されている値をセットし、クロックサイクル毎にカウントダウンするバンクビジーカウンタ 32 を有する。これにより、バンクビジーカウンタ 32 の値が論理 = 0 の場合、バンクビジーが解除されたことになり、バンクビジー回路 11 は、コマンド制御回路 12 にメモリコマンドを発行する。バンクビジーカウンタ 32 の値が論理 $\neq 0$ の場合、バンクビジーであるため、バンクビジー回路 11 は、メモリコマンドを発行しないことにより、バンクサイクルを制御する。

【0023】

リードデータ入力回路 14 は、アクセスタイムが異なるメモリを制御するためにメモリ 2 から出力される読み出しデータの取り込みタイミングを可変設定する第 1 プログラムレジスタ (図示せず) を有し、この第 1 プログラムレジスタの設定値によりメモリから出力される読み出しデータを可変の取り込みタイミングで入力する。ライトデータ出力回路 13 は、メモリに出力するライトデータを可変の出力タイミングで出力する第 2 プログラムレジスタ (図示せず) を有し、この第 2 プログラムレジスタの設定値からライトデータ出力タイミングを調整する。これにより、異なるレーテンシーのメモリ制御を可能とする。

【0024】

ライトマスク回路 15 は、メモリに対するライトデータのマスク制御に関し、F C R A M 又は N W R A M 使用時には、コマンド制御回路 12 に、Variable Write 信号を出力してライト動作をマスクさせ、D D R - S D R A M 使用時には Data

Mask信号を出力してライト動作をマスクさせるように切り換える。これにより、ライトマスク動作のメモリを制御する。

【0025】

コマンド制御回路12は、ライトマスク回路15からVariable Write信号を入力し、DDR-SDRAM使用時には、図3のタイムチャートに示す信号を出力し、FCRAM又はNWRAM使用時には、図4のタイムチャートに示す信号を出力する。これにより、ライトマスク回路15は、DDR-SDRAM使用時にはData-Mask機能にてライト動作をマスクさせ、FCRAM又はNWRAM使用時にはVariable Write機能にてライト動作をマスクさせるように切り換える。この場合に、ピン割付の対応は、図5に示すように、切り換え制御する。

【0026】

アドレス生成回路16は、アドレス割付けの異なるメモリデバイスのアドレス生成に関し、プログラムレジスタ（図示せず）にてアドレス生成論理を切り換える。

【0027】

初期シーケンス制御回路17は、初期シーケンスの異なるメモリデバイスの制御に関し、モードレジスタセット・拡張モードレジスタセット・オートリフレッシュ・オールバンクプリチャージ等のコマンド発行順を可変制御し、また、モードレジスタセット・拡張モードレジスタセットの設定値を可変するプログラムレジスタ（図示せず）を有し、初期シーケンスが異なるメモリデバイスを同一回路で制御し、コマンド制御回路12にモードレジスタセット・拡張モードレジスタセット・オートリフレッシュ・オールバンクプリチャージ等の初期シーケンスコマンドを発行する。

【0028】

ところで、電源電圧の異なるメモリデバイスに電源を供給する場合に、図6に示すように、メモリに供給する電源出力レベルを調整可能な電源21を設置することにより、異なるメモリデバイス24が搭載された場合でも、電源を変更する必要がない。なお、符号22は基板、符号23は基板内のメモリデバイス用電源層であり、符号25はDIMM (Dual Inline Memory Module)、26はメモリ

制御 L S I である。

【0029】

これにより、DDR 2 の場合は、電源電圧が 1.8 V、F C R A M 又は N W R A M の場合は電源電圧が 2.5 V というように、異なる電源電圧のメモリを同一ハードウェアで搭載可能となる。

【0030】

又は、電源部のメモリ供給電源のみ変更することにより、メモリが搭載される基板を変更することなく、電源電圧の異なるメモリデバイスに電源を供給することができる。

【0031】

パッケージサイズ又はピンアサイン（配列）が異なるメモリデバイスの実装に際しては、メモリを搭載する D I M M (Dual Inline Memory Module) 等の基板のみ変更し、メモリを搭載した基板が接続されるマザー基板は同一種類とする。

【0032】

図 7 及び図 8 はそのピンアサイン（I/O ピン定義）を示す図である。図 7 は 512 Mb × 8、4 B A N K、B L 4 の F C R A M であり、図 8 は 512 Mb × 8、4 B A N K、B L 4 の D D R 2 である。

【0033】

F C R A M (N W R A M) と D D R 2 とのピン組み合わせにおいて、ロウアドレス入力を、F C R A M は R D A ・ W R A と呼び、D D R 2 は A C T ・ M R S ・ R E F と呼ぶ。カラムアドレス入力を、F C R A M は L A L ・ R E F ・ M R S と呼び、D D R 2 は R D A ・ W T A と呼ぶ。

【0034】

図 7 及び図 8 に示すように、C L K 及び C L K' は、F C R A M と D D R 2 共に同一ハードウェアで実現可能であり、D Q ピンも F C R A M と D D R 2 共に同一ハードウェアで実現可能である。C S ピンは、ロウアドレス入力時、F C R A M と D D R 2 が共に “L” 出力となり、カラムアドレス入力時、D D R 2 のみ “L” 出力とするだけですむため、ハードウェア量及び遅延的に容易に制御可能である。

【0035】

WE及びFNピンは、ロウアドレス入力時とカラムアドレス入力時に、FCRAMとDDR2はリード・ライトで極性を反転させるだけの制御で可能なため、ハードウェア量及び遅延的に容易に制御可能である。CKE及びPDピンは、POWERオン時に“L”を保障し、一定時間後に“H”を保障するのでFCRAMとDDR2共に同一ハードウェアで実現可能である。BAピンは、FCRAMとDDR2共に同一ハードウェアで実現可能である。ADピンは、FCRAMとDDR2とで、アドレスピン数が異なるため、図7及び図8に示すように割り付けることにより、ピン数を削減することができる。DMピン／無しについては、DDR2はライトマスク機能時に使用するが、FCRAM時は未使用とする。FCRAM時にはLAL入力時のA0-1フィールドとA13-A14にて前半・後半のライトマスクを指定する。以上の制御により、少ないハードウェア量で遅延的に容易に2つのメモリデバイスを制御することができる。

【0036】

終端抵抗を内蔵しているメモリと内蔵していないメモリの実装に関しては、終端抵抗を内蔵しているメモリについてはDIMM上に終端抵抗を実装せず、内蔵していないメモリについてはDIMMに終端抵抗を付け、メモリを搭載した基板が接続されるマザー基板は同一種類とする。

【0037】

このように構成された半導体記憶装置においては、メモリを有する半導体記憶装置において、FCRAM又はNWRAMとDDR-DRAM等のように、ACスペック、初期シーケンス、容量、ケースサイズ、ピンアサイン、電源及びインタフェース等の種類が異なるメモリを同一ハードウェアで制御することができる。

【0038】

なお、上記実施形態におけるプログラムレジスタの代わりに、スイッチを使用して、ハードウェアで、バンクビジー時間、ライト動作のマスク機能、アドレス生成論理等を切り換えることもできる。

【0039】

また、異なるピンインターフェースのメモリのピン割付については必ずしも固定ではない。

【0040】

【発明の効果】

以上説明したように、本発明によれば、性能・価格が異なるメモリを同一ハードウェアで構成できるため、製品バリエーションを増やすことが可能になる。また、従来では異なる種類のメモリを製品群に入れるためには専用の記憶装置を開発する必要があったが、本発明によれば、複数種類のメモリを同一ハードウェアで使用可能となるため、開発費の削減及び部品品種削減による部品原価低減の効果がある。

【図面の簡単な説明】

【図1】

本発明の実施形態を示すブロック図である。

【図2】

バンクビジー回路を示す図である。

【図3】

DDR2のライトタイムチャートである。

【図4】

FCRAM又はNWRAMのライトタイムチャートである。

【図5】

メモリピン互換方法を示す図である。

【図6】

電源電圧が異なるメモリに対する電源供給方法を示す図である。

【図7】

ピンアサインの詳細を示す図である。

【図8】

ピンアサインの詳細を示す図である。

【図9】

従来の半導体記憶装置を示す図である。

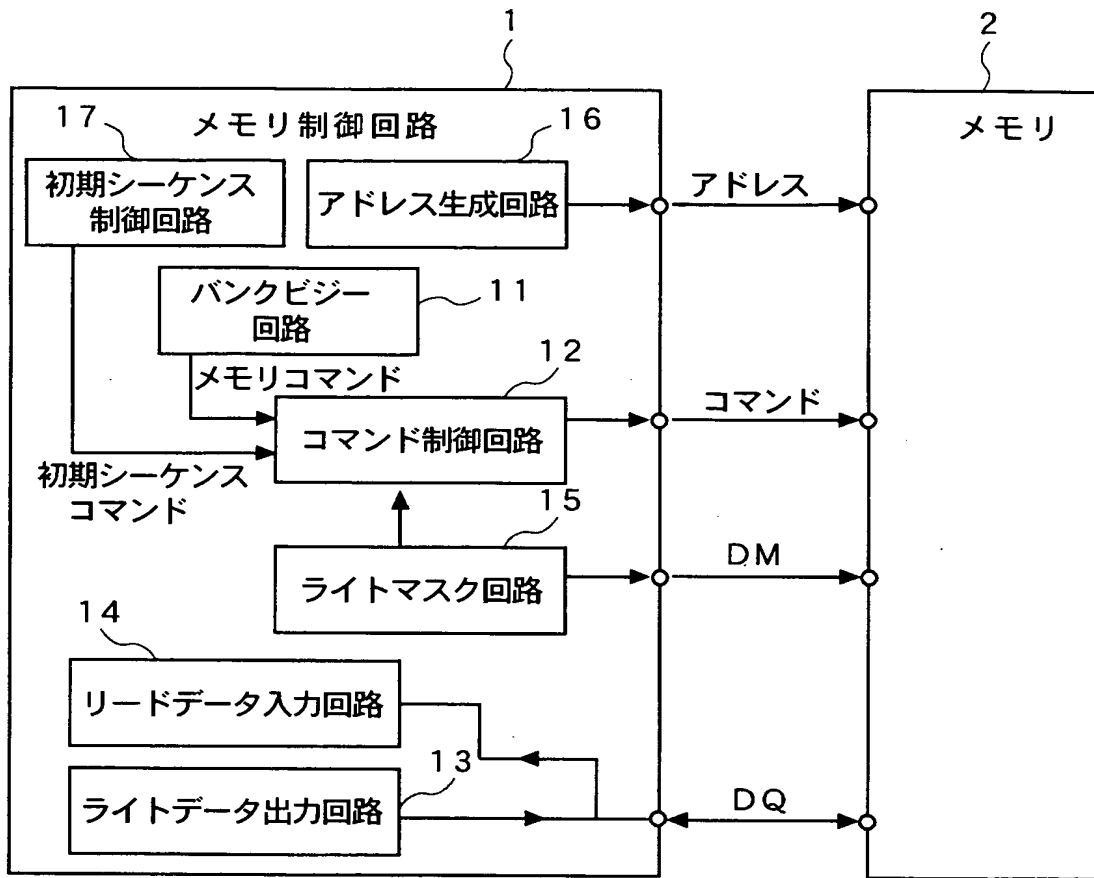
【符号の説明】

- 1：メモリ制御回路
- 2：メモリ
- 1 1：バンクビジー回路
- 1 2：コマンド制御回路
- 1 3：ライトデータ出力回路
- 1 4：リードデータ入力回路
- 1 5：ライトマスク回路
- 1 6：アドレス生成回路
- 1 7：初期シーケンス制御回路

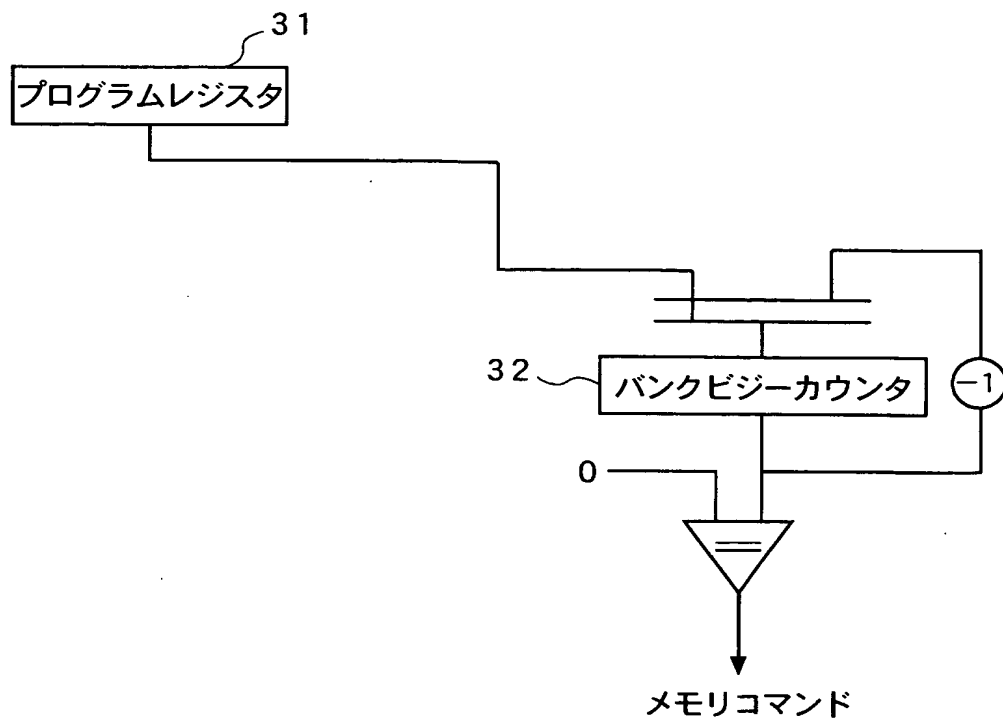
【書類名】

図面

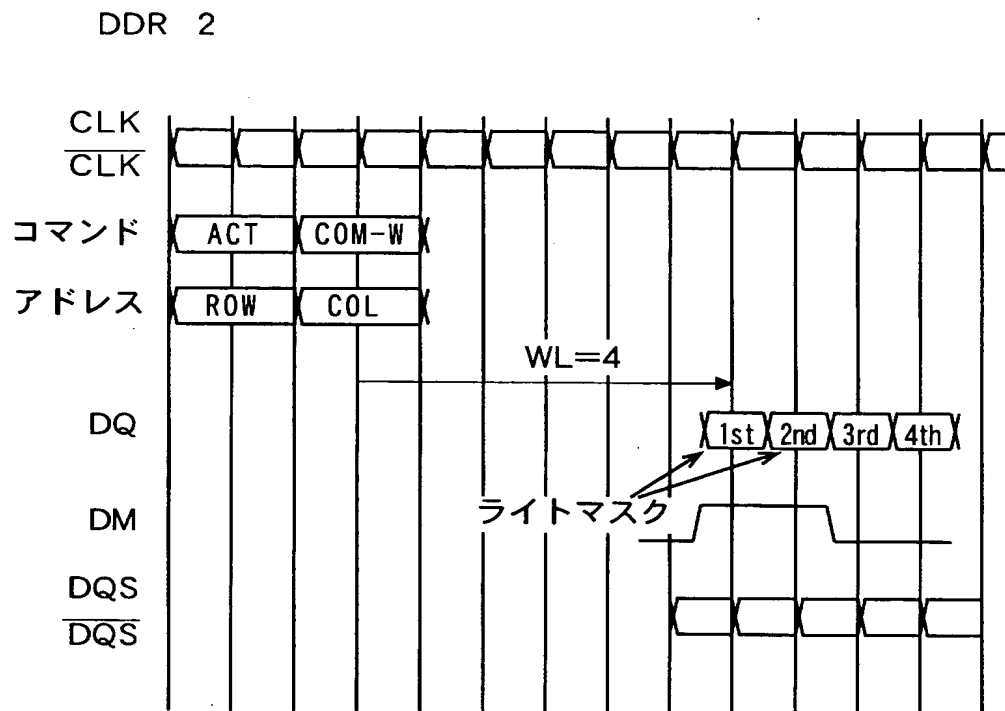
【図 1】



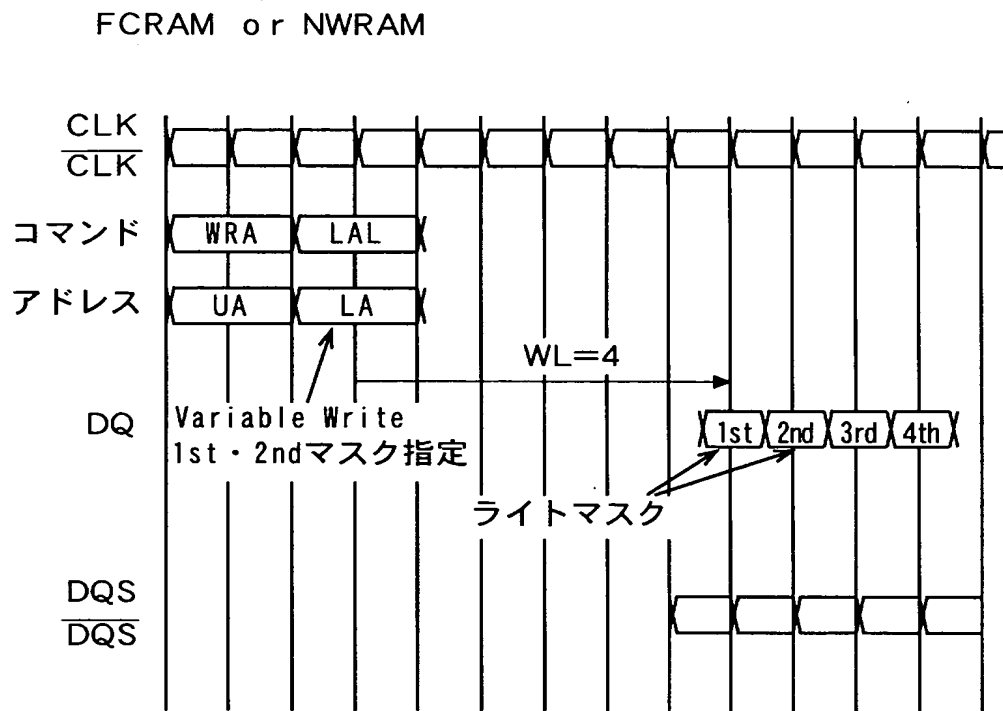
【図 2】



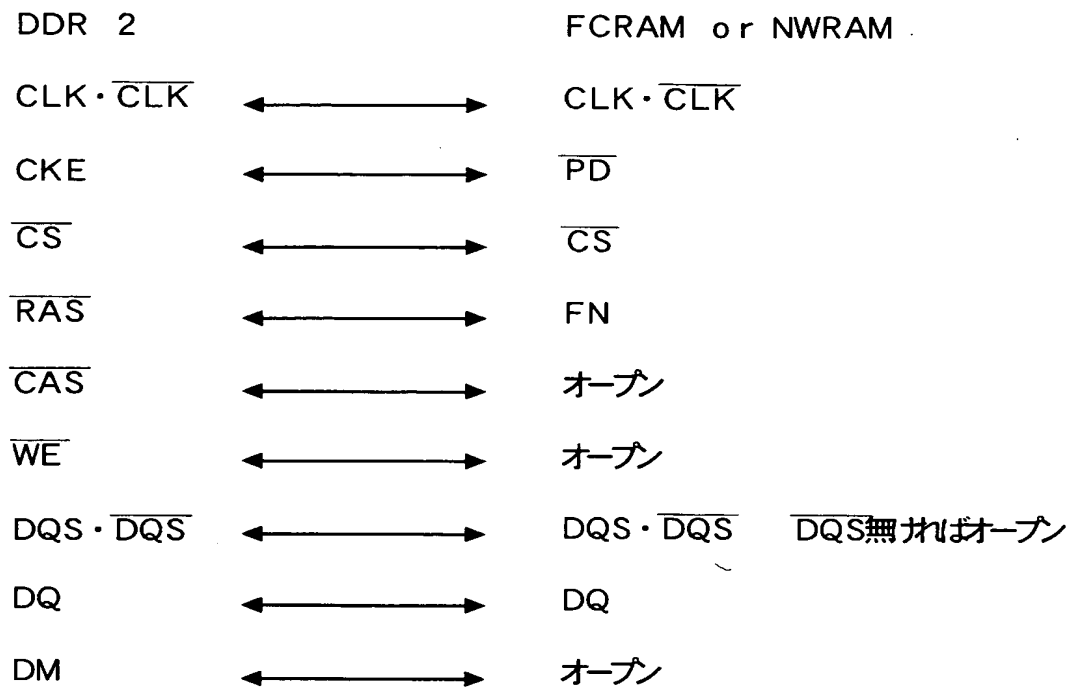
【図 3】



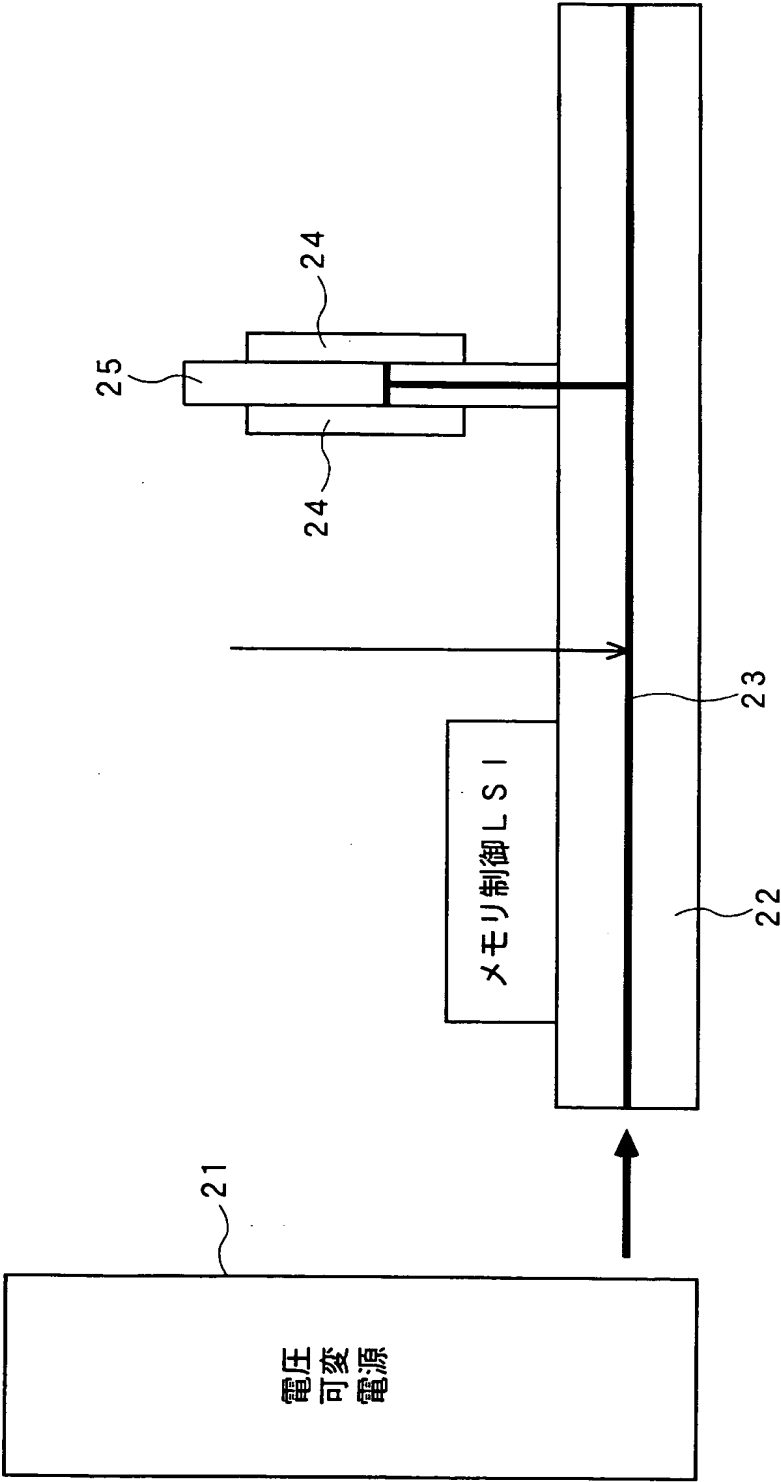
【図 4】



【図 5】



【図 6】

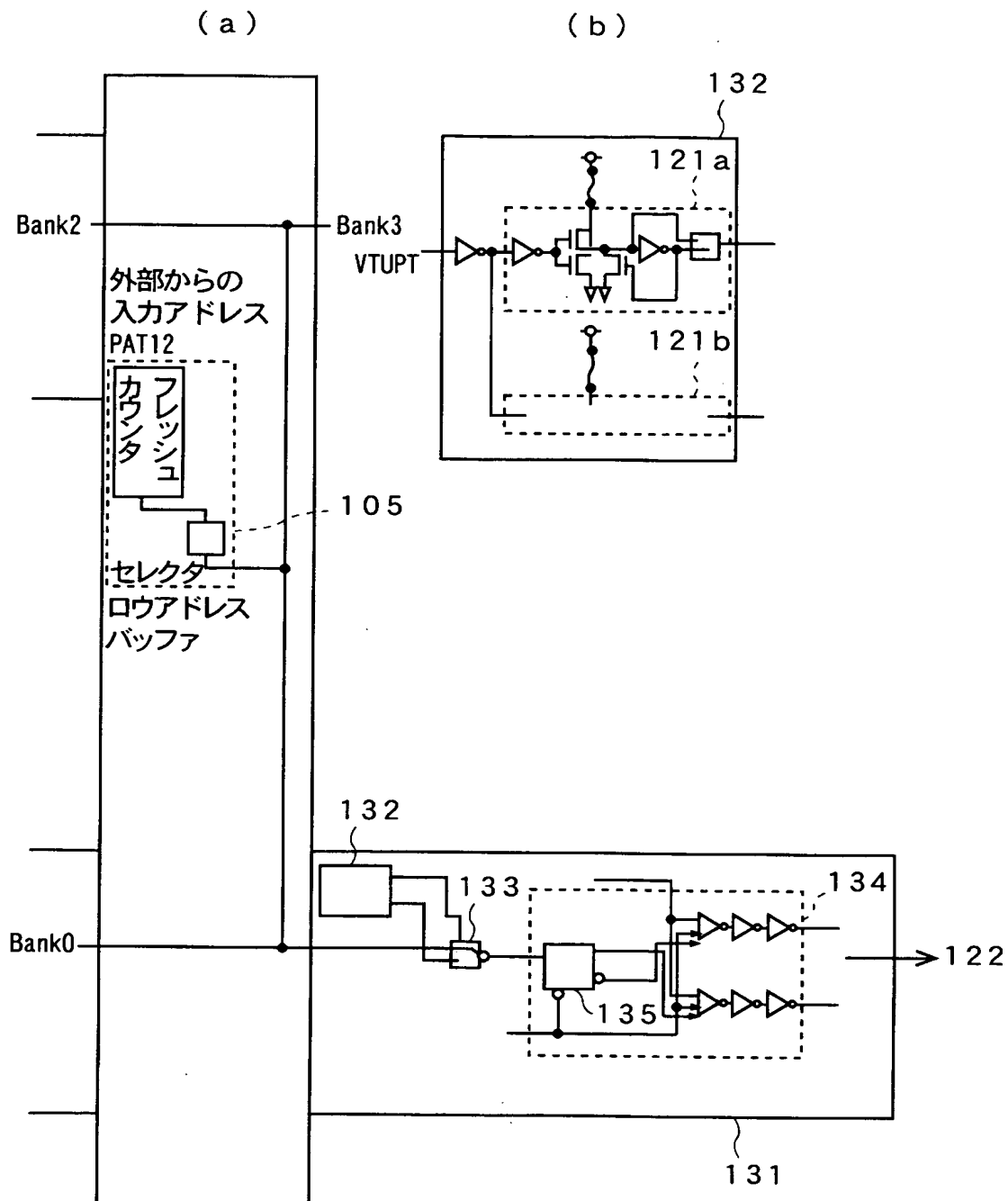


【図 7】

[illegible]

[illegible]

【図 9】



【書類名】 要約書

【要約】

【課題】 異なるタイプのメモリを置き換えるだけで、原価・性能が異なる記憶装置を同一ハードウェアで提供することができる半導体記憶装置及び実装型半導体装置を提供する。

【解決手段】 異なるバンクサイクルタイムを制御するバンクビジー時間を可変設定し、バンクサイクルタイムが異なるメモリを制御可能とするバンクビジー回路 11 と、メモリから出力されるリードデータの取り込みタイミングを可変とするリードデータ入力回路 14 と、メモリに出力するライトデータの出力タイミングを可変とするライトデータ出力回路 13 と、異なるコマンドインターフェースを制御するコマンド制御回路 12 と、異なるライトマスクを制御するライトマスク回路 15 と、異なる初期シーケンスのメモリを制御する初期シーケンス制御回路 17 と、異なるアドレスインタフェースを制御するアドレス生成回路 16 とを有する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 8 2 3 2 6		
受付番号	5 0 2 0 1 9 9 2 6 8 9		
書類名	特許願		
担当官	第七担当上席	0 0 9 6	
作成日	平成 1 5 年 1 月 6 日		

< 認定情報・付加情報 >

【提出日】 平成14年12月27日

次頁無

特願 2002-382326

出願人履歴情報

識別番号 [000168285]

1. 変更年月日 1990年 8月 9日
[変更理由] 新規登録
住 所 山梨県甲府市大津町1088-3
氏 名 甲府日本電気株式会社
2. 変更年月日 2002年 7月30日
[変更理由] 名称変更
住所変更
住 所 山梨県甲府市大津町1088-3
氏 名 エヌイーシーコンピュータテクノ株式会社